

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Takashi OHSAWA

GAU:

SERIAL NO: NEW APPLICATION

EXAMINER:

FILED: HERewith

FOR: SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

☐ Full benefit of the filing date of U.S. Application Serial Number _____, filed _____, is claimed pursuant to the provisions of 35 U.S.C. §120.

☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e):
Application No. _____ Date Filed _____

☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

COUNTRY

Japan

APPLICATION NUMBER

2003-370696

MONTH/DAY/YEAR

October 30, 2003

Certified copies of the corresponding Convention Application(s)

☒ are submitted herewith

☐ will be submitted prior to payment of the Final Fee

☐ were filed in prior application Serial No. _____ filed _____

☐ were submitted to the International Bureau in PCT Application Number _____

Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.

☐ (A) Application Serial No.(s) were filed in prior application Serial No. _____ filed _____; and


☐ (B) Application Serial No.(s)

☐ are submitted herewith

☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.



Marvin J. Spivak

Registration No. 24,913

Customer Number

22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 05/03)

C. Irvin McClelland
Registration Number 21,124



日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 1 0 月 3 0 日
Date of Application:

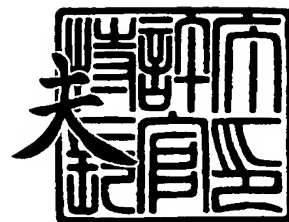
出 願 番 号 特 願 2 0 0 3 - 3 7 0 6 9 6
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 3 7 0 6 9 6]

出 願 人 株式会社東芝
Applicant(s):

2 0 0 4 年 1 月 2 7 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康



【書類名】 特許願
【整理番号】 14400401
【提出日】 平成15年10月30日
【あて先】 特許庁長官殿
【国際特許分類】 H01L 27/10
【発明者】
 【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝 マイクロ
 エレクトロニクスセンター内
 【氏名】 大 澤 隆
【特許出願人】
 【識別番号】 000003078
 【住所又は居所】 東京都港区芝浦一丁目 1 番 1 号
 【氏名又は名称】 株式会社 東 芝
【代理人】
 【識別番号】 100075812
 【弁理士】
 【氏名又は名称】 吉 武 賢 次
【選任した代理人】
 【識別番号】 100088889
 【弁理士】
 【氏名又は名称】 橋 谷 英 俊
【選任した代理人】
 【識別番号】 100082991
 【弁理士】
 【氏名又は名称】 佐 藤 泰 和
【選任した代理人】
 【識別番号】 100096921
 【弁理士】
 【氏名又は名称】 吉 元 弘
【選任した代理人】
 【識別番号】 100103263
 【弁理士】
 【氏名又は名称】 川 崎 康
【選任した代理人】
 【識別番号】 100118843
 【弁理士】
 【氏名又は名称】 赤 岡 明
【手数料の表示】
 【予納台帳番号】 087654
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1

【書類名】 特許請求の範囲**【請求項 1】**

半導体基板と、
前記半導体基板上に形成された絶縁層と、
前記絶縁層によって前記半導体基板から絶縁された半導体層と、
前記半導体層に形成された第 1 導電型のソース領域および第 1 導電型のドレイン領域と、
前記半導体層のうち前記ソース領域と前記ドレイン領域との間に設けられ、電荷を蓄積または放出することによってデータを記憶することができる第 2 導電型のボディ領域と、
前記ボディ領域上に該ボディ領域から絶縁されるように設けられ、第 1 の方向へ延在するワード線と、
前記ドレイン領域に接続され、前記第 1 の方向とは異なる方向に延在するビット線と、
前記半導体基板および前記半導体層から絶縁されているように前記絶縁層内に設けられ、前記ビット線に対して平行に延在する埋め込み配線とを備えた半導体集積回路装置。

【請求項 2】

前記ビット線はある間隔で複数本配列され、
前記埋め込み配線は前記ビット線と同一間隔で同数設けられていることを特徴とする請求項 1 に記載の半導体集積回路装置。

【請求項 3】

前記埋め込み配線は前記ワード線に対してほぼ垂直方向に延在していることを特徴とする請求項 1 に記載の半導体集積回路装置。

【請求項 4】

前記ワード線のうちの前記第 1 のワード線と前記埋め込み配線のうちの前記第 1 の埋め込み配線との交点に位置する前記ボディ領域の電荷を放出するために、前記第 1 のワード線の電位および前記第 1 の埋め込み配線の電位を同じ電位方向へ振幅させることを特徴とする請求項 1 に記載の半導体集積回路装置。

【請求項 5】

前記ワード線と前記ビット線との交点に対応して設けられた複数の前記ボディ領域からなるメモリセルアレイと、
前記メモリセルアレイの周辺のうち第 1 の側辺近傍に設けられ、前記メモリセルアレイ内の前記ボディ領域内のデータを検出することができる検出回路と、
前記第 1 の側辺近傍に設けられ、前記埋め込み配線を駆動する駆動回路とをさらに備えたことを特徴とする請求項 1 から請求項 4 のいずれかに記載の半導体集積回路装置。

【請求項 6】

前記ワード線と前記ビット線との交点に対応して設けられた複数の前記ボディ領域からなるメモリセルアレイと、
前記メモリセルアレイの周辺のうち第 1 の側辺近傍に設けられ、前記メモリセルアレイ内の前記ボディ領域内のデータを検出することができる検出回路と、
前記メモリセルアレイの周辺のうち前記第 1 の側辺に対して反対側にある第 2 の側辺近傍に設けられ、前記埋め込み配線を駆動する駆動回路とをさらに備えたことを特徴とする請求項 1 から請求項 4 のいずれかに記載の半導体集積回路装置。

【請求項 7】

複数の前記メモリセルアレイが並んで配列されており、
前記検出回路および前記駆動回路が、隣り合う前記メモリセルアレイの間に交互に設けられていることを特徴とする請求項 6 に記載の半導体集積回路装置。

【請求項 8】

前記埋め込み配線は、複数の前記ビット線に対して 1 つずつ対応して設けられていることを特徴とする請求項 1 から請求項 6 のいずれかに記載の半導体集積回路装置。

【請求項 9】

前記ボディ領域は、フルディプレッション型のメモリセルの一部を構成することを特徴

とする請求項 1 に記載の記載の半導体集積回路装置。

【書類名】明細書

【発明の名称】半導体集積回路装置

【技術分野】

【0001】

本発明は、半導体集積回路装置に関する。

【背景技術】

【0002】

従来から 1T-1C (1 Transistor-1 Capacitor) 型の DRAM (Dynamic Random Access Memory) が製造されている。メモリセルのデザインルールが $0.1\mu\text{m}$ 未満になると、1T-1C 型の DRAM は製造することが困難になる。

【0003】

これに対処するために、図 12 に示すような FBC (Floating Body Cell) を有する DRAM が提案されている (特許文献 1 参照)。FBC は、SOI に形成された FET (Field Effect Transistor) からなる。この FET のゲート G はワード線 WL に接続され、ドレイン D はビット線 BL に接続され、ソース S は GND に接続されている。フローティングボディ FB がデータ蓄積ノード (data storage node) になる。

【0004】

FBC は、フローティングボディ FB に蓄えられる多数キャリアの数を変化させて、フローティングボディ FB の電位を変化させる。このようなボディ効果により FET の閾値電圧を変化させることによってデータが記憶される。

【0005】

FBC にデータ “1” を書き込むときには、ワード線 WL とビット線 BL とを共に高電位にして、FET を飽和状態にバイアスする。これによって、インパクトイオン化を引き起こし、正孔をフローティングボディ FB に蓄積する。尚、フローティングボディ FB 内に蓄積された正孔数が多い状態がデータ “1” とする。

【0006】

一方、FBC にデータ “0” を書き込むときには、ビット線 BL を負電位にして、p 型のボディと n 型のドレインとの間の pn 接合を順方向にバイアスする。これにより、フローティングボディ FB 内に蓄積されていた正孔はビット線 BL へ放出される。

【0007】

図 13 は、FBC を有する他の DRAM の断面図である (非特許文献 1 参照)。この DRAM は、フロントゲート電極 FG のほかに、バックゲート電極 BG を備えている。

【0008】

この DRAM のフローティングボディ FB にデータ “0” を書き込むときには、フロントゲート電極 FG およびバックゲート電極 BG を共に高い電位に設定して、フローティングボディ FB とソース S と間のポテンシャルバリアを低くする。これにより、フローティングボディ FB に蓄えられていた正孔をソース S へ放出する。

【特許文献 1】特開 2002-246571 号公報

【非特許文献 1】C. Kuo, Tsu-Jae King and Chenming Hu による “高密度仕様のためのキャパシタのないダブルゲート DRAM セル設計 (A Capacitorless Double-Gate DRAM Cell Design for High Density Applications)” IEDM Tech. Digest, pp. 843-846, Dec. 2002

【発明の開示】

【発明が解決しようとする課題】

【0009】

図 12 に示した DRAM によれば、選択セルにデータ “0” を書き込むために或るビット線 BL を負電位にしたときに、該ビット線 BL に接続されデータ “1” を記憶した非選択セルのデータが消去されてしまう可能性がある。これを、一般に “0” ディスタープ (“0” disturb) という。

【0010】

“0” ディスタ urb を回避するためには、この非選択セルのフローティングボディ F D の電位とそのドレイン D との間のジャンクションは、逆バイアスあるいは弱い順バイアス (0.7 V 以下) とならなければならない。従って、この非選択セルのワード線 W L を十分に低い負電位にすることによって、非選択セルのフローティングボディ F D の電位を十分に低い負電位にする必要がある。

【0011】

図 13 に示した D R A M によれば、フロントゲート電極 F G およびバックゲート電極 B G が互いに平行に設けられていたので、活性化されたワード線 W L に接続されたセルが全てデータ “0” に書き変わってしまう。よって、リフレッシュ動作時および書込み動作時には、センスアンプが、“0” を書き込む前に予めワード線 W L に接続された全セルのデータをラッチする (S 1)。次に、全セルにデータ “0” を書き込む (S 2)。その後、センスアンプにラッチされたデータに基づいて、データ “1” が記憶されていたセルにのみデータ “1” を書き戻す (S 3)。このようにステップ S 1 ~ S 3 が必要であった。よって、図 13 に示した D R A M は、リフレッシュ動作および書込み動作のサイクル時間が長いという問題、並びに、ビット線 B L 毎にセンスアンプ回路を必要とするという問題を有する。

ビット線 B L 毎にセンスアンプ回路を設けると、センスアンプ回路が大きな面積を占めるので、セル占有率が低下し、チップサイズが大きくなる。これは、1 T - 1 C 型の D R A M に比べセルサイズが小さいという F B C 特有の利点を損なうことを意味する。

【0012】

そこで、本発明の目的は、“0” ディスタ urb による影響を回避し、リフレッシュサイクル時間および書込みサイクル時間が短くかつチップサイズが小さい半導体集積回路装置を提供することである。

【課題を解決するための手段】

【0013】

本発明に係る実施形態に従った半導体集積回路装置は、半導体基板と、前記半導体基板上に形成された絶縁層と、前記絶縁層によって前記半導体基板から絶縁された半導体層と、前記半導体層に形成された第 1 導電型のソース領域および第 1 導電型のドレイン領域と、前記半導体層のうち前記ソース領域と前記ドレイン領域との間に設けられ、電荷を蓄積または放出することによってデータを記憶することができる第 2 導電型のボディ領域と、前記ボディ領域上に該ボディ領域から絶縁されるように設けられ、第 1 の方向へ延在するワード線と、前記ドレイン領域に接続され、前記第 1 の方向とは異なる方向に延在するビット線と、前記半導体基板および前記半導体層から絶縁されているように前記絶縁層内に設けられ、前記ビット線に対して平行に延在する埋め込み配線とを備えている。

【発明の効果】

【0014】

本発明による半導体集積回路装置は、“0” ディスタ urb や G I D L による影響を回避することができ、書込みサイクル時間が従来よりも短く、かつチップサイズが小さい。

【発明を実施するための最良の形態】

【0015】

以下、図面を参照しつつ、本発明に係る実施形態を説明する。本発明は、これらの実施形態に限定されない。また、これらの実施形態において、p 型半導体に代えて n 型半導体を用い、尚且つ、n 型半導体に代えて p 型半導体を用いてもこれらの実施形態の効果を得ることができる。

【0016】

これらの実施形態によれば、ダブルゲート S O I トランジスタ (Double-Gate SOI transistor) におけるバックゲートがビット線に対して平行に設けられている。これにより上記課題を解決する。

【0017】

(第 1 の実施形態)

図1は、本発明に係る第1の実施形態に従ったDRAM100のメモリ部を示したブロック図である。このメモリ部は、メモリセルアレイ10、センスアンプおよびプレートドライバ部（以下、単に、SA/PDという）20と、ロウデコーダおよびWLドライバ（以下、単に、ロウデコーダという）30と、カラムデコーダおよびCSL（Column Select Line）ドライバ（以下、単に、カラムデコーダという）40とを備えている。

【0018】

メモリセルアレイ10は、複数のFBCをマトリックス状に配列したメモリセルにより構成されている。さらに、複数のメモリセルアレイ10が併進的に並んで配列されている。隣り合うメモリセルアレイ10の間の間隙には、1つおきにSA/PD20が設けられている。1つのSA/PD20は、その両側に位置するメモリセルアレイ10に接続されており、これらのメモリセルアレイ10内のデータを検出し、ラッチすることができる。また、SA/PD20は、図2に示すプレート線PLの電位を選択的に制御し、選択されたプレート線PLを駆動させることができる。

【0019】

ロウデコーダ30はメモリセルアレイ10に対応して設けられており、メモリセルアレイ10内のワード線を選択することができる。カラムデコーダ40は、併進的に並んで配列された一群のメモリセルアレイ10に対して設けられており、メモリセルアレイ10内のビット線を選択することができる。

【0020】

図2は、メモリセルアレイ10およびSA/PD20を1つずつ示した回路図である。SA/PD20の右隣には、図示していないメモリセルアレイ10がさらに接続されている。

【0021】

メモリセルアレイ10には、N本のワード線 $WL_0 \sim WL_{N-1}$ と、M本のビット線 $BL_0 \sim BL_{M-1}$ と、M本のプレート線 $PL_0 \sim PL_{M-1}$ とが設けられている。また、メモリセルアレイ10には、ワード線 $WL_0 \sim WL_N$ とビット線 $BL_0 \sim BL_{M-1}$ との交点に対応してメモリセルMCが設けられている。即ち、1つのメモリセルアレイ10は、 $N \times M$ 個のメモリセルMCを有する。あるいは、この $N \times M$ 個のメモリセルを有するL個のセットをワード線方向に並べて、全体で $N \times M \times L$ 個のメモリセルMCを有するメモリセルアレイ10を形成することもできる。

【0022】

各メモリセルMCは、図3に示すようにSOI（Silicon On Insulator）に形成されており、フォワードゲートFGおよびバックゲートBGを有するダブルゲートSOIトランジスタ（Double-Gate SOI transistor）である。

【0023】

ワード線 $WL_0 \sim WL_{N-1}$ は、メモリセルアレイ10のうち各行（ロウ）のメモリセルMCの各々のフォワードゲートに接続されている。ビット線 $BL_0 \sim BL_{M-1}$ は、メモリセルアレイ10のうち各列（カラム）のメモリセルMCの各々のドレインDに接続されている。プレート線 $PL_0 \sim PL_{M-1}$ は、メモリセルアレイ10のうち各列（カラム）のメモリセルMCの各々のバックゲートに接続されている。プレート線 $PL_0 \sim PL_{M-1}$ は、それぞれビット線 $BL_0 \sim BL_{M-1}$ に対応して設けられている。好ましくは、プレート線 $PL_0 \sim PL_{M-1}$ は、それぞれビット線 $BL_0 \sim BL_{M-1}$ に対して平行に延在している。

【0024】

ワード線 $WL_0 \sim WL_{N-1}$ は、それぞれロウデコーダ30（図1参照）に接続されている。ビット線 $BL_0 \sim BL_{M-1}$ およびプレート線 $PL_0 \sim PL_{M-1}$ は、それぞれSA/PD20に接続されている。

【0025】

SA/PD20は、センスアンプ・プレートドライバ回路21と、BL（Bit Line）/PL（Plate Line）セクタ22とを含む。ビット線 $BL_0 \sim BL_{M-1}$ およびプレート

線 $PL_0 \sim PL_{M-1}$ はそれぞれ BL/PL セクタ 22 に接続され、この BL/PL セクタ 22 は 1 対のビット線およびプレート線を選択する。 BL/PL セクタ 22 によって選択された 1 対のビット線およびプレート線のみがセンスアンプ・プレートドライバ回路 21 へ接続され得る。一方、ロウデコーダ 30 内の WL ドライバは、ワード線 $WL_0 \sim WL_{N-1}$ のうちいずれかのワード線を選択して、そのワード線を駆動することができる。これにより、選択された 1 対のビット線およびプレート線と選択されたワード線との交点に位置するメモリセル MC が選択され得る。

【0026】

メモリセルアレイ 10 は、ダミーメモリセル DMC をさらに備えている。ダミーメモリセル DMC のフォワードゲート FG はワード線に、ダミービット線 DBL_0 または DBL_1 はダミーメモリセル DMC のドレインにそれぞれ接続されており、ダミーメモリセル DMC のバックゲート BG はダミープレート線 DPL_0 または DPL_1 に接続されている。

【0027】

$SA/PD20$ は、ダミービット線 DBL_0 、 DBL_1 、および、ダミープレート線 DPL_0 、 DPL_1 に接続された DBL/DPL コントローラ 23 をさらに備えている。

【0028】

ダミーメモリセル DMC は、センスアンプ SA がメモリセル MC のデータを検出するときに用いられる。例えば、ダミービット線 DBL_0 に接続されたダミーメモリセル DMC は、データ “0” を記憶し、ダミービット線 DBL_1 に接続されたダミーメモリセル DMC は、データ “1” を記憶している。検出時には、センスアンプ SA は、これらのダミーメモリセル DMC の電流を足し合せ、この電流をカレントミラー回路（図示せず）によって半分にする。センスアンプ SA は、その半分にされた電流値と各メモリセル MC の電流とを比較することによって、メモリセル MC のデータ “1” または データ “0” を検出する。

【0029】

このように、センスアンプ・プレートドライバ回路 21 は、ビット線 BL およびワード線 WL によってメモリセル MC のデータを検出することができる。尚、データの検出方法は、上述の方法に限定されず、他の公知の検出方法を用いてもよい。

【0030】

図 3 は、本実施形態に従った $DRAM100$ のメモリ部をビット線 BL に沿って切断したときの断面図である。 $DRAM100$ は、 p 型の半導体基板 110、シリコン酸化膜 120、 SOI 層 130、 n 型のドレイン領域 140、 n 型のソース領域 150、 p 型のボディ領域 160、ワード線 WL 、ビット線 BL 、 n 型のプレート線 PL およびソース線 SL を備えている。

【0031】

シリコン酸化膜 120 は半導体基板 110 上に設けられている。プレート線 PL は、半導体基板 110 および SOI 層 130 から絶縁されるようにシリコン酸化膜 120 内に設けられており、ビット線 BL に対して平行に延在している。 SOI 層 130 は、シリコン酸化膜 120 上に設けられており、半導体基板 110 およびシリコン酸化膜 120 から絶縁されている。

【0032】

ドレイン領域 140 およびソース領域 150 は、 SOI 層 130 内に設けられている。ボディ領域 160 は、 SOI 層 130 のうちドレイン領域 140 とソース領域 150 との間に設けられている。

【0033】

ボディ領域 160 上にはゲート絶縁膜 170 が形成されており、ワード線 WL はゲート絶縁膜 170 上に設けられている。これにより、ワード線 WL はボディ領域 160 から絶縁されている。ワード線 WL は、図 3 の紙面に対して垂直方向に延在している。ビット線 BL は、ドレイン領域 140 に電氣的に接続されており、ワード線 WL が延びる方向に対してほぼ垂直方向に延在している。

【0034】

図4は、本実施形態に従ったDRAM100のメモリ部をワード線WLに沿って（図3のX-X線に沿って）切断したときの断面図である。図3および図4を参照して、ビット線BLおよびプレート線PLは、互いに対応しており、かつ、互いに平行に設けられていることがわかる。図4を参照して、ビット線BLは、ほぼ等間隔で配列されている。また、プレート線PLはビット線BLと同一間隔で配列されていることがわかる。

【0035】

次に、図5および図6を参照して、DRAM100の動作および効果を説明する。図5および図6に示すグラフは、DRAM100へ“0”または“1”を書き込むときのシミュレーション結果である。このシミュレーションにおける条件は、メモリセルMCのチャンネル長 $L_{gate} = 0.175 \mu m$ 、ゲート絶縁膜170の膜厚 $T_{ox} = 80 \text{ \AA}$ 、ボディ領域160とプレート線PLとの間の絶縁膜175の膜厚 $T_{box} = 120 \text{ \AA}$ 、ボディ領域160のシリコンの膜厚 $T_{Si} = 330 \text{ \AA}$ である。また、ボディ領域160内のアクセプタ不純物濃度は $1.0 \times 10^{16} \text{ cm}^{-3}$ で一定である。ワード線WLおよびプレート線PLは、共にn型ポリシリコンであり、それらの不純物濃度は十分に高い。ワード線WLおよびプレート線PLは、それぞれフロントゲートFGおよびバックゲートBGとして作用する。

【0036】

図5は、ビット線BL、ワード線WLおよびプレート線PLのそれぞれの電位によって制御されるボディ領域160の電位を示したグラフである。横軸は時間（ナノ秒）を示し、縦軸はそれらの電位（ボルト）を示す。ビット線BL、ワード線WLおよびプレート線PLのそれぞれの電位は、“ V_{BL} ”、“ V_{WL} ”および“ V_{PL} ”と図示されている。ボディ領域160の電位は“ V_{BODY} ”と図示されている。

【0037】

図6は、メモリセルMC内のデータを読み出すときのワード線WLの電位 V_{gs} およびドレイン間の電流 I_{ds} の関係を示すグラフである。

【0038】

まず、図5を参照して、メモリセルMCへデータ“1”を書き込む。 0 ns から 42 ns まで期間、 V_{WL} を 1.5 V にし、 V_{BL} を 2.0 V にして、メモリセルMCを飽和状態にバイアスする。これにより、ボディ領域160内においてインパクトイオン化が生じ、ボディ領域160の電位が徐々に上昇する。ボディ領域160の電位が約 0.7 V になると、正孔の発生電流とボディ領域160とソース領域150と間のpn接合に流れるフォワード電流がほぼ等しくなるので、ボディ領域160の電位がほぼ定常化する。このとき、メモリセルMCへのデータ“1”の書き込みが完了する。

【0039】

次に、メモリセルMC内のデータ“1”を保持する。メモリセルMCにデータ“1”が書き込まれた後、 46 ns の時点において V_{BL} を 0 V にし、 V_{WL} を -1.5 V にする。 V_{WL} が負電位であるので、ボディ領域160内の正孔が維持される。よって、メモリセルMCはデータ“1”を保持している。

【0040】

次に、 V_{WL} を上げ、メモリセルMCのデータを読み出し、それによって、ボディ領域160から正孔が漏洩するか否かを調べる。ボディ領域160からの正孔の漏洩を、以下、ディスターブという。約 50 ns から約 70 ns まで、 V_{BL} を 0.2 V にし、 V_{WL} を -1.5 V から 1.5 V へ上昇させる。 V_{PL} は、 -2 V に維持されている。このとき、ボディ領域160内のデータを検出すると、ボディ領域160の電位が約 0.7 V で維持され、変化しない。これは、ディスターブが生じていないことを暗示する。

【0041】

次に、図5を再度参照して、約 74 ns の時点において、再びデータ“1”を保持し、その後、 V_{PL} を -2 V に維持したまま、 V_{WL} を上げ、メモリセルMCのデータを読み出す。それによって、データ“1”に対するディスターブの有無を確認する。図6を参照

して、このときに観測されるメモリセルMCのドレイン電流 I_{ds} は、曲線 I_1 に重なった。これにより、データをメモリセルMCから読み出しても、ワード線の電位 V_{gs} とドレイン電流 I_{ds} との関係が維持され、ディスタ urb が生じていないことが確認された。

【0042】

次に、プレート線 PL の電位を上げ、メモリセルMCのデータを読み出し、それによって、ディスタ urb の有無を調べる。図5において、約 84 ns から約 104 ns まで、プレート線の電位 V_{PL} を -2 V から -0.5 V へ上昇させる。 V_{WL} は 0 V に維持する。このとき、ボディ領域160の電位が約 0.7 V で維持され、変化しない。これは、ディスタ urb が生じていないことを暗示する。

【0043】

ディスタ urb が生じていないことを確認するために、約 108 ns から約 110 ns まで、ワード線 WL の電位を上げ、メモリセルMCのデータを読み出す。図6を参照して、このときに観測されるメモリセルMCのドレイン電流 I_{ds} も、曲線 I_1 に重なった。これにより、 V_{WL} を 0 V に維持したまま、プレート線 PL の電位を上げても、ワード線の電位 V_{gs} とドレイン電流 I_{ds} との関係が維持され、ディスタ urb が生じていないことが確認された。

【0044】

最後に、約 116 ns から約 156 ns までの期間、電位 V_{WL} および電位 V_{PL} をそれぞれ 1.5 V および -0.5 V まで上昇させる。これにより、データ“0”がメモリセルMCへ書き込まれる。その結果、ボディ領域160の電位が下降する。この書込み時間は、約 40 ns とした。メモリセルMCへデータ“0”を書き込んだ後、データ“0”を約 158 ns の時点において保持する。その後、約 160 ns から約 162 ns までの期間に、データ“0”をメモリセルMCから読み出すと、図6に示す曲線 I_0 が得られた。この結果から、ドレイン電流 I_{ds} が確実に減少しており、データ“0”がメモリセルMCへ書き込まれていることがわかる。

【0045】

このように、ワード線 WL およびプレート線 PL のいずれか一方の電位を上昇させただけでは、ボディ領域160とソース領域150との間のポテンシャル障壁は、十分に低くならない。よって、ボディ領域160内の正孔がソース領域150へ放出されず、データ“1”が維持される。一方、ワード線 WL とプレート線 PL との電位を共に上昇させると、ボディ領域160とソース領域150との間のポテンシャル障壁が十分に低下する。これによって、ボディ領域160内の正孔がソース領域150へ放出され、メモリセルMCへデータ“0”を書き込まれる。

【0046】

ワード線 WL およびプレート線 PL の両方の電位を上昇させた場合に、データ“0”がメモリセルMCに書き込まれる（図5に示す時点 $116\text{ ns} \sim 156\text{ ns}$ を参照）。これは、ワード線 WL およびプレート線 PL によって選択されたメモリセルMCにデータ“0”が書き込まれることを意味する。一方、ワード線 WL およびプレート線 PL のいずれか一方の電位を上昇させた場合には、メモリセルMCに格納されたデータ“1”は変化しない。（図5に示す時点 $46\text{ ns} \sim 108\text{ ns}$ を参照）。これは、データ“1”を格納している非選択のメモリセルMCに対してディスタ urb が生じないことを意味する。

【0047】

これにより、リフレッシュ動作時に、データ“0”が書き込まれていたメモリセルMCをワード線 WL およびプレート線 PL によって選択し、そのメモリセルMCのみにデータ“0”を再度書き込むことが可能となる。

【0048】

図13に示した従来例においては、フォワードゲート FG（ワード線）およびバックゲート BG（プレート線）が互いに平行に設けられていたので、或るメモリセルMCを選択し、そのメモリセルMCのみにデータ“0”を書き込むことができなかった。よって、上述のように、リフレッシュ動作および書込み動作には3つのステップ $S1 \sim S3$ が必要で

あった。

【0049】

しかし、本実施形態においては、プレート線PLは、ワード線WLに対してほぼ垂直に交差し、ビット線BLに対してほぼ平行に設けられている。よって、ワード線WLとプレート線PLとの交点に位置するメモリセルMCを選択してデータ“0”を書き込み、これと同時に、ワード線WLとビット線BLとの交点に位置するメモリセルMCを選択してデータ“1”を書き込むことができる。よって、リフレッシュ動作および書き込み動作は、メモリセルMCにデータ“0”または“1”を書き込むという1つのステップだけで足りる。その結果、本実施形態は、リフレッシュ動作および書き込み動作のサイクル時間が従来よりも短くなる。

【0050】

また、本実施形態によるDRAM100は、リフレッシュ動作時および書き込み動作時に、総てのメモリセルMCのデータを読み出し、かつ、ラッチする必要がない。よって、ビット線BL毎にセンスアンプ回路を設ける必要が無く、センスアンプは、メモリセルアレイ10毎に設ければ足りる。その結果、半導体チップ内において、センスアンプ回路が占める面積が小さくなるので、セル占有率が増加し、チップサイズが小さくなる。

【0051】

さらに、本実施形態は、ワード線WLおよびプレート線PLを、それぞれフォワードゲートおよびバックゲートとして備えている。よって、本実施形態にはGIDLの問題が生じない。

【0052】

尚、データ“0”を書き込む時間、即ち、ワード線WLおよびプレート線PLの電位を上昇させておく時間が重要である。図6に示すようにデータ“0”の書き込み終了時点156nsにおいては、ボディ領域160の電位が降下途中にある。一方、ボディ領域160の電位が安定するまでデータ“0”の書き込みを継続することは、リフレッシュ動作のサイクル時間を長くすることになる。よって、データ“0”の書き込みは、データ“1”との識別が十分にできる程度まで行なわれ、平衡状態になるまで持続されない。従って、データのばらつきを抑えるために、データ“0”の書き込み時間を管理することが重要である。

【0053】

(第2の実施形態)

図7は、本発明に係る第2の実施形態に従ったDRAM200のメモリ部を示したブロック図である。本実施形態は、センスアンプ部26およびプレートドライバ部28が分離して配置されている。本実施形態の他の構成要素は、第1の実施形態と同様であるので、その説明を省略する。

【0054】

センスアンプ部26は、メモリセルアレイ10の周辺の側辺近傍に設けられている。プレートドライバ部28は、メモリセルアレイ10の周辺のうち、センスアンプ26部が設けられた側辺に対して反対側の側辺近傍に設けられている。このように、センスアンプ部26およびプレートドライバ部28は、隣り合うメモリセルアレイ10の間に交互に設けられている。センスアンプ部26およびプレートドライバ部28はそれぞれの両隣に配置された2つのメモリセルアレイ10に共通に使用される。

【0055】

図8は、メモリセルアレイ10、センスアンプ部26およびプレートドライバ部28を1つずつ示した回路図である。センスアンプ部26およびプレートドライバ部28を分離したことに伴い、図2に示したセンスアンプ・プレートドライバ回路21は、本実施形態において、センスアンプ回路221およびプレートドライバ回路224に分離されている。また、図2に示したBL/PLセクタ22は、BLセクタ222およびPLセクタ225に分離されている。さらに、図2に示したDBL/DPLセクタ23は、DBLセクタ223およびDPLセクタ226に分離されている。センスアンプ回路221、BLセクタ222およびDBLセクタ223はセンスアンプ26に含まれており

、プレートドライバ回路 224、PL セクタ 225 および DPL セクタ 226 はプレートドライバ 28 に含まれている。

【0056】

センスアンプ回路 221 およびプレートドライバ回路 224 は、プレートドライブ線 PDL によって接続されている。プレートドライブ線 PDL を介してセンスアンプ回路 221 からプレートドライバ回路 224 へプレート駆動信号が伝達される。

【0057】

リフレッシュ動作時および書込み動作時に、センスアンプ部 26 において検出したデータが“0”であった場合、プレート駆動信号が、その情報をプレートドライバ部 28 へ伝達する。これにより、プレートドライバ部 28 は、データ“0”を書き込む際にプレート線 PL を選択的に駆動させることができる。

【0058】

書込み動作時に外部からデータ“0”を書き込む場合には、周辺データバスがプレートドライバ部 28 へその情報を直接伝達してもよい。書込み動作時にセンスアンプ部 26 がデータ“1”およびデータ“0”の両方を処理する場合には、センスアンプ部 26 は、プレートドライブ線 PDL を介してデータ“0”の情報のみをプレートドライバ部 28 へ伝達してもよい。これにより、センスアンプ部 26 は、プレートドライバ部 28 を駆動させるタイミングを制御することができる。尚、プレートドライブ線 PDL の配線は、メモリセルアレイ上の最上層に設けられたカラム選択線(CSL)の配線と同一の金属配線層で形成することができる。

【0059】

DRAM 200 の動作のシミュレーション結果は、第 1 の実施形態と同一の条件のもとにおいて、第 1 の実施形態と同様である。よって、本実施形態は、第 1 の実施形態と同様の効果を有する。さらに、本実施形態は、センスアンプ部 26 およびプレートドライバ部 28 が分離して配置されているので、センスアンプ部 26 およびプレートドライバ部 28 の設計が容易である。特に、ビット線 BL およびプレート線 PL がファインピッチで配線されている場合には、ビット線 BL およびプレート線 PL を同一方向から別々に駆動することは回路設計の観点から困難である。よって、本実施形態は、ビット線 BL およびプレート線 PL がファインピッチで配線されている場合に特に有効である。

【0060】

(第 3 の実施形態)

図 9 は、本発明に係る第 3 の実施形態に従った DRAM 300 のメモリ部をワード線 WL に沿って切断したときの断面図である。ビット線 BL に沿って切断したときの DRAM 300 の断面図は、図 3 に示す断面図と同様である。図 9 に示す断面図は、図 3 の X-X 線に沿って切断したときの DRAM 300 の断面としてよい。

【0061】

図 9 に示すように、本実施形態では、プレート線 PL が 4 本のビット線 BL および 4 本のボディ領域 160 に対して 1 つずつ対応して設けられている。DRAM 300 の動作のシミュレーション結果は、第 1 の実施形態と同一の条件のもとにおいて、第 1 の実施形態と同様となる。

【0062】

本実施形態によれば、プレート線 PL をファインピッチで加工することが困難な場合、あるいは、プレート線 PL をビット線 BL に精度良く位置あわせをするすることが困難な場合であっても、プレート線 PL をビット線 BL に対して平行に設けることができる。

【0063】

しかし、本実施形態では、第 1 および第 2 の実施形態と同様の方法でデータ“0”をメモリセルへ書き込むと、プレート線 PL に対応する複数のビット線 BL に接続された複数のメモリセルが同時にデータ“0”になってしまう。

【0064】

よって、1 本のプレート線 PL に対応するビット線 BL の数と同数のセンスアンプを設

ける必要がある。これにより、データ“0”を書き込む前に、総てのメモリセルのデータを読み出して、ラッチすることができる。次に、全メモリセルにデータ“0”を書き込んだ後、データ“1”を格納していたメモリセルのみへデータ“1”を書き戻す。

【0065】

このように、本実施形態によれば、センスアンプは、1本のプレート線PLに対応するビット線BLの数だけで足りる。よって、本実施形態は、従来よりもセル占有率が上昇し、チップサイズが小さくなる。

【0066】

図10は、DRAM300のセンスアンプの配置および接続を示す図である。DRAM300は、メモリセルアレイ301およびSA/PD302を備えている。図10において、ワード線、メモリセルは省略されている。

【0067】

プレート線PL1~PL4は、それぞれセンスアンプ回路321~324へ接続されている。1本のプレート線PL1に対応する4本のビット線BLは、それぞれセンスアンプ回路321~324へ接続されている。同様に、プレート線PL2に対応する4本のビット線もそれぞれセンスアンプ回路321~324へ接続され、プレート線PL3に対応する4本のビット線もそれぞれセンスアンプ回路321~324へ接続され、並びに、プレート線PL4に対応する4本のビット線もそれぞれセンスアンプ回路321~324へ接続されている。

【0068】

DRAM300内では、複数のメモリセルを含むメモリセルアレイ301が併進的に配列されている。また、SA/PD302は、センスアンプ回路321~324およびBLセクタ322を含む。センスアンプ回路321~324はプレートドライバを有する。メモリセルアレイ301とSA/PD302との配列関係は、図1に示すメモリセルアレイ10とSA/PD20との配列関係と同様である。即ち、隣り合うメモリセルアレイ301の間の間隙には、1つおきにSA/PD302が設けられている。よって、1つのSA/PD302は、その両側に位置するメモリセルアレイ301に接続されている。

【0069】

BLセクタ322は、プレート線PL1~PL4のそれぞれに対応する4本のビット線を順次選択する。これにより、センスアンプ321~324は、全メモリセルのデータを読み取り、ラッチすることができる。尚、プレート線PL1~PL4は、データ“0”をメモリセルへ書き込む際に、センスアンプ回路321~324によって同時に駆動される。よって、プレート線PLの選択回路(PLセクタ)は不要である。

【0070】

(第4の実施形態)

図11は、本発明に係る第4の実施形態に従ったDRAM400のセンスアンプの配置および接続を示す図である。DRAM400は、メモリセルアレイ301、センスアンプ部303およびプレートドライバ部350を備えている。本実施形態は、プレートドライバ部350がセンスアンプ部303から分離して設けられている点で第3の実施形態と異なる。センスアンプ部303は、センスアンプ325~328およびBLセクタ322を有する。センスアンプ325~328は、図10に示すセンスアンプ321~324からプレートドライバを除いた形態を有する。このプレートドライバは、本実施形態においては、プレートドライバ部350として実現されている。

【0071】

メモリセルアレイ301、センスアンプ部303およびプレートドライバ部350の配列関係は、図7に示すメモリセルアレイ10、センスアンプ部26およびプレートドライバ部28の配列関係と同様である。即ち、センスアンプ部303は、メモリセルアレイ301の周辺の側辺近傍に設けられている。プレートドライバ部350は、メモリセルアレイ301の周辺のうち、センスアンプ部303が設けられている側辺に対して反対側の側辺近傍に設けられている。このように、センスアンプ部303およびプレートドライバ部

350は、隣り合うメモリセルアレイ301の間に交互に設けられている。センスアンプ部303およびプレートドライバ部350はそれぞれの両隣に配置された2つのメモリセルアレイ301に共通に使用される。

【0072】

本実施形態は、第3の実施形態と同様の動作および効果を有する。さらに、本実施形態は、センスアンプ部303およびプレートドライバ部350が分離して配置されているので、センスアンプ部303およびプレートドライバ部350の設計が容易である。特に、ビット線BLおよびプレート線PLがファインピッチで配線されている場合には、ビット線BLおよびプレート線PLを同一方向から別々に駆動させることは回路設計の観点から困難である。よって、本実施形態は、ビット線BLおよびプレート線PLがファインピッチで配線されている場合に特に有効である。

【図面の簡単な説明】

【0073】

【図1】本発明に係る第1の実施形態に従ったDRAM100のメモリ部を示したブロック図。

【図2】DRAM100のメモリセルアレイ10およびSA/PD20の回路図。

【図3】DRAM100のメモリ部をビット線BLに沿って切断したときの断面図。

【図4】DRAM100のメモリ部をワード線WLに沿って切断したときの断面図。

【図5】ビット線BL、ワード線WLおよびプレート線PLのそれぞれの電位によって制御されるボディ領域160の電位を示したグラフ。

【図6】メモリセルMC内のデータを読み出すときのワード線WLの電位 V_{gs} とドレイン間の電流 I_{ds} との関係を示すグラフ。

【図7】本発明に係る第2の実施形態に従ったDRAM200のメモリ部を示したブロック図。

【図8】DRAM200のメモリセルアレイ10、センスアンプ26およびプレートドライバ28の回路図。

【図9】本発明に係る第3の実施形態に従ったDRAM300のメモリ部をワード線WLに沿って切断したときの断面図。

【図10】DRAM300のセンスアンプの配置および接続を示す図。

【図11】本発明に係る第4の実施形態に従ったDRAM400のセンスアンプの配置および接続を示す図。

【図12】従来のFBCを有するDRAMの断面図。

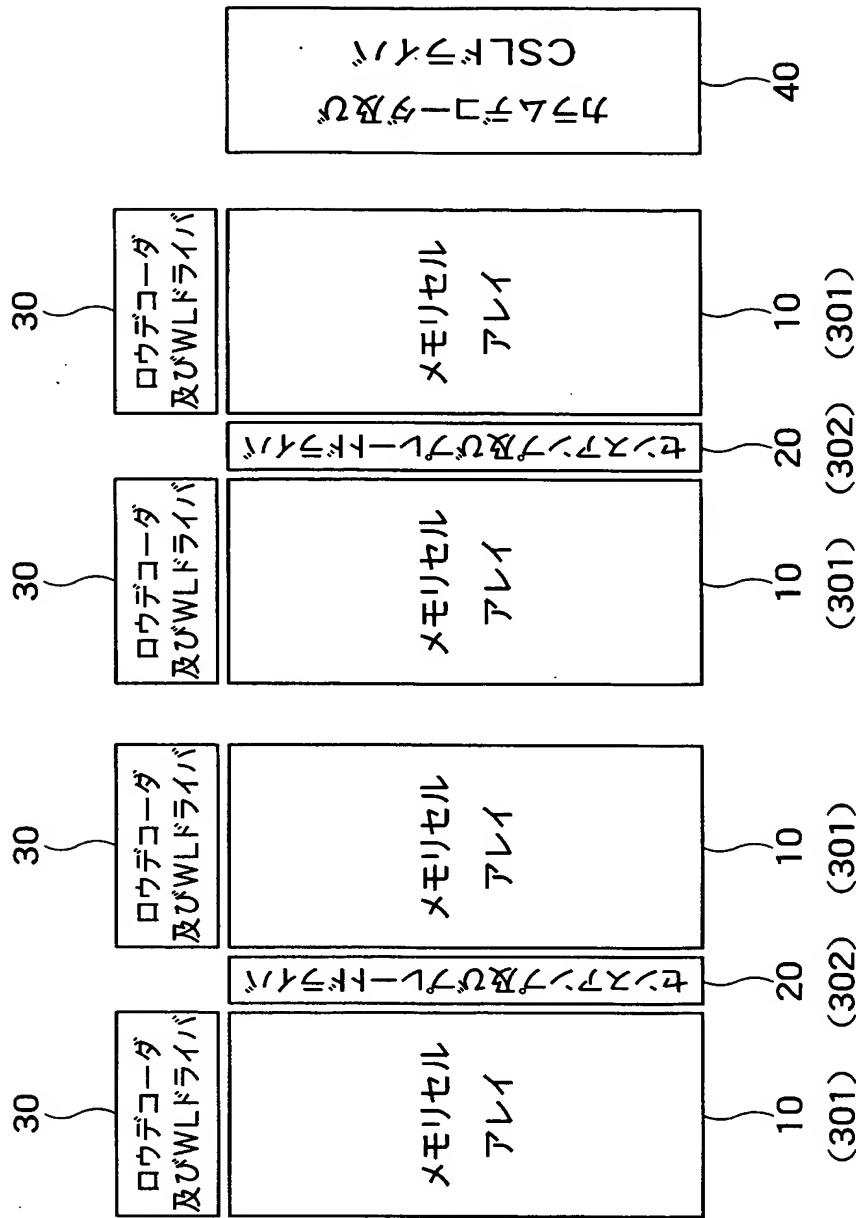
【図13】従来のFBCを有するDRAMの断面図。

【符号の説明】

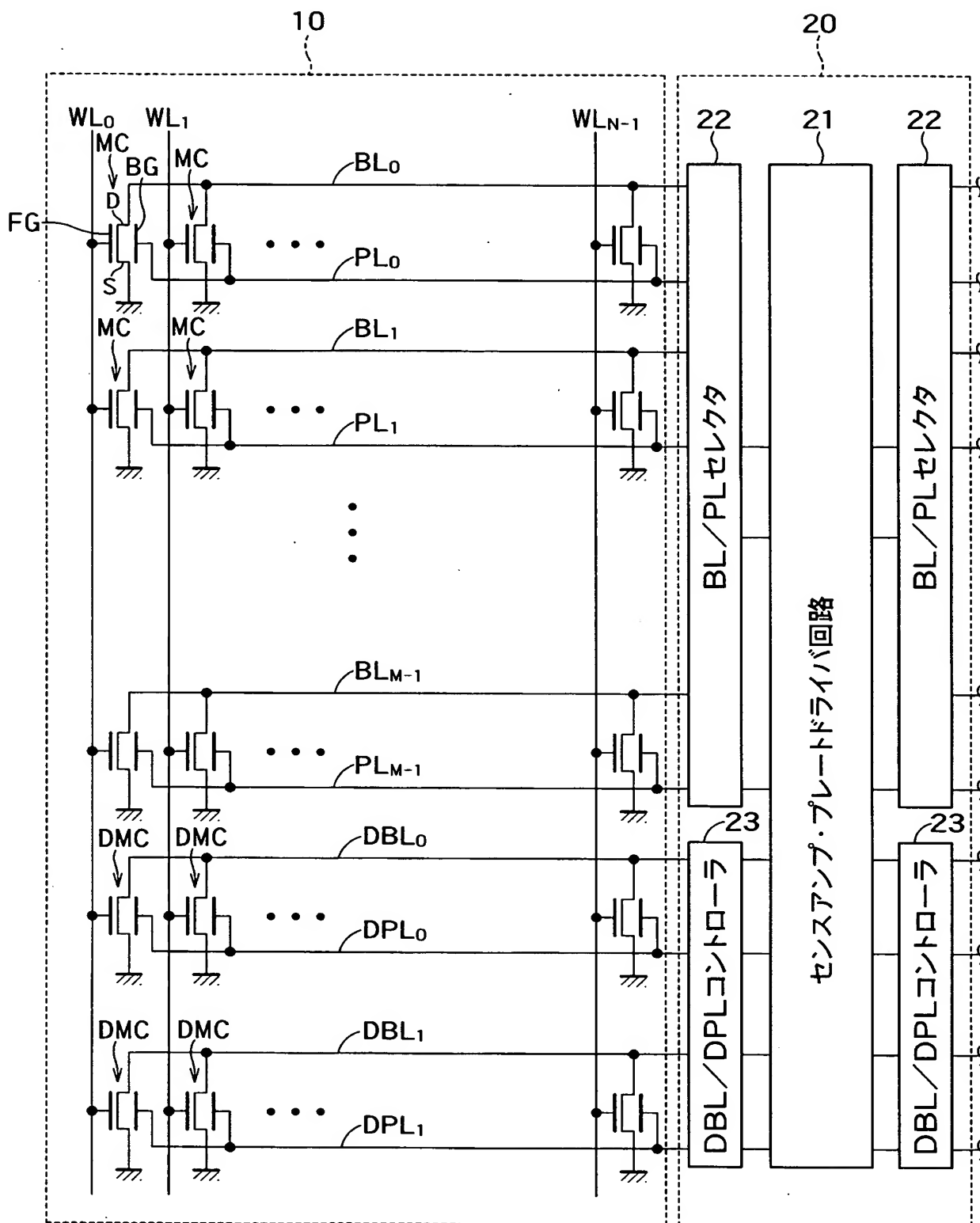
【0074】

100 DRAM
10 メモリセルアレイ
20 SA/PD
110 半導体基板
120 シリコン酸化膜
130 SOI層
140 ドレイン領域
150 ソース領域
160 ボディ領域
MC メモリセル
WL ワード線
PL プレート線
BL ビット線
SL ソース線

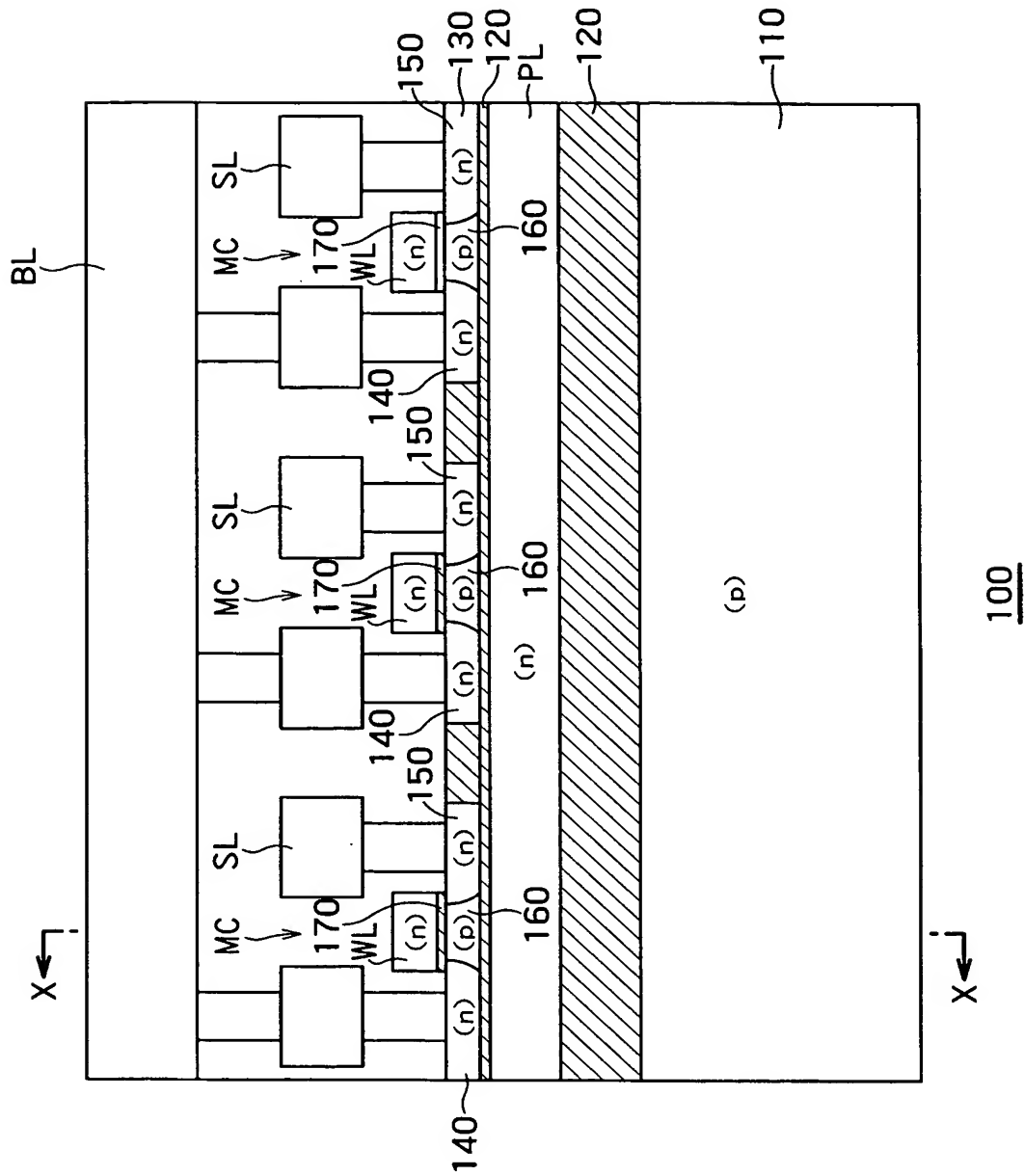
【書類名】 図面
【図 1】



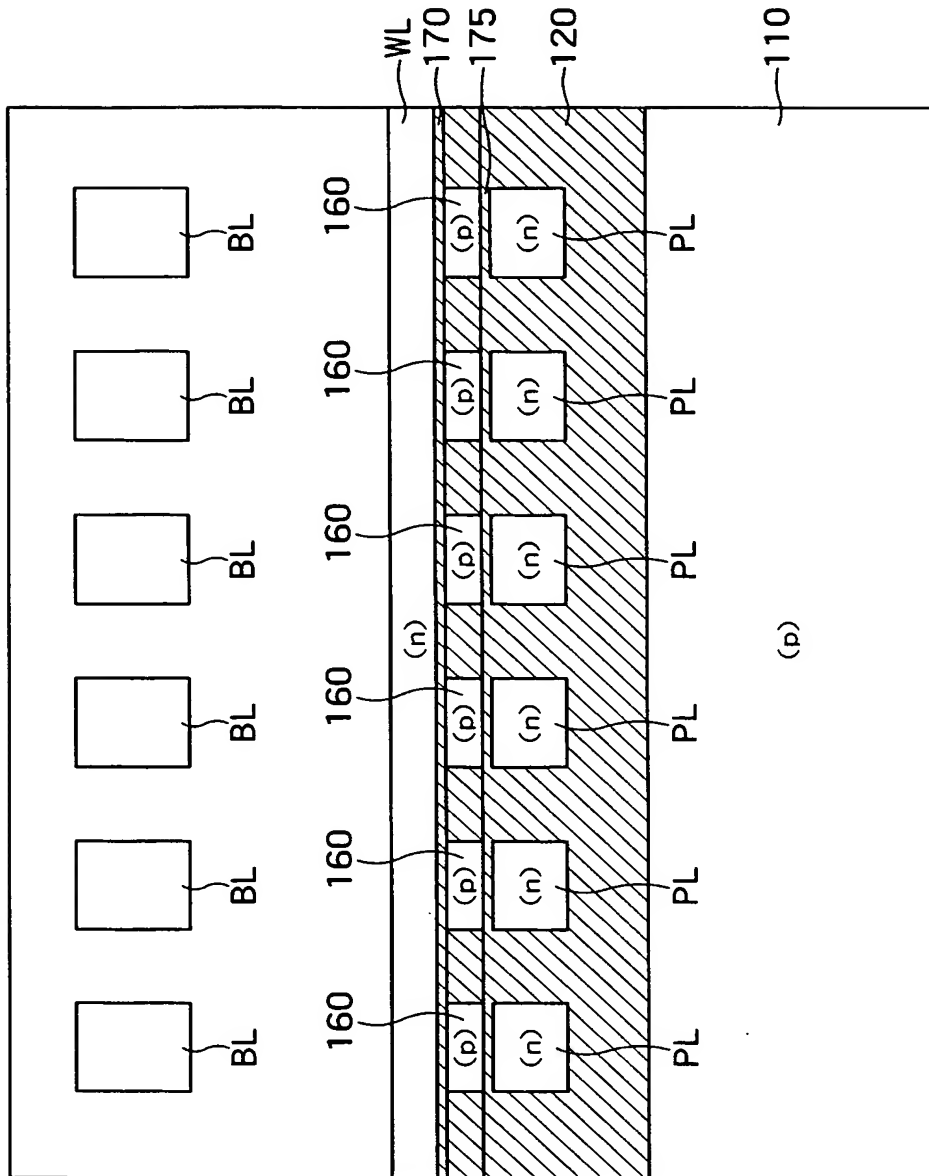
【図 2】



【圖 3】

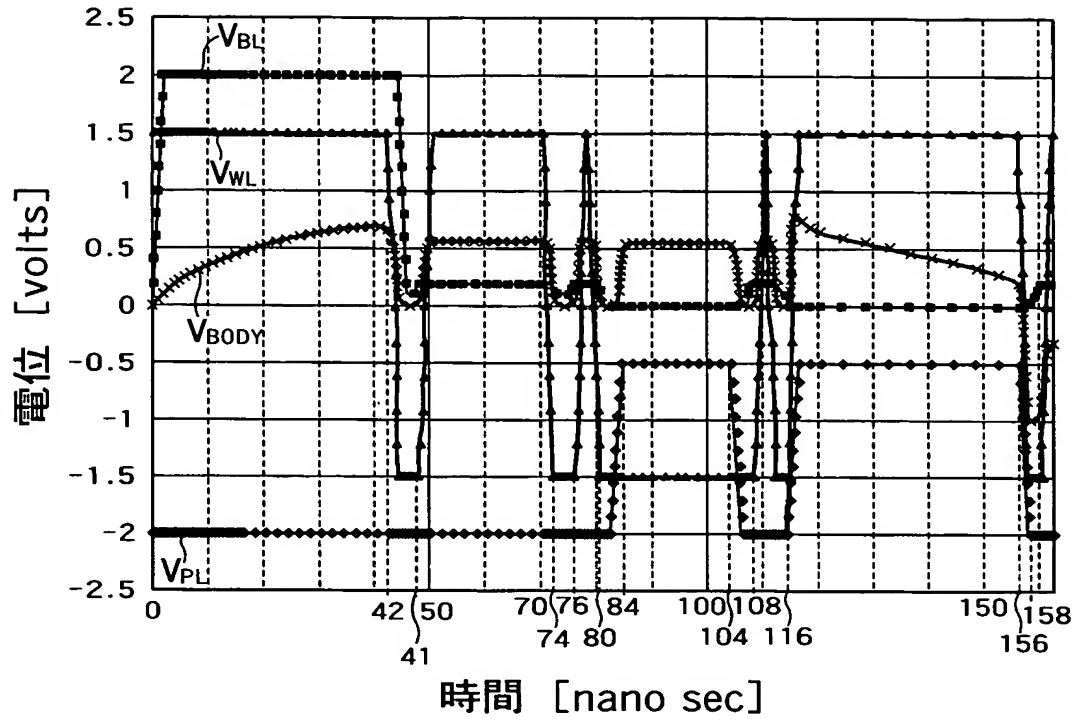


【図 4】

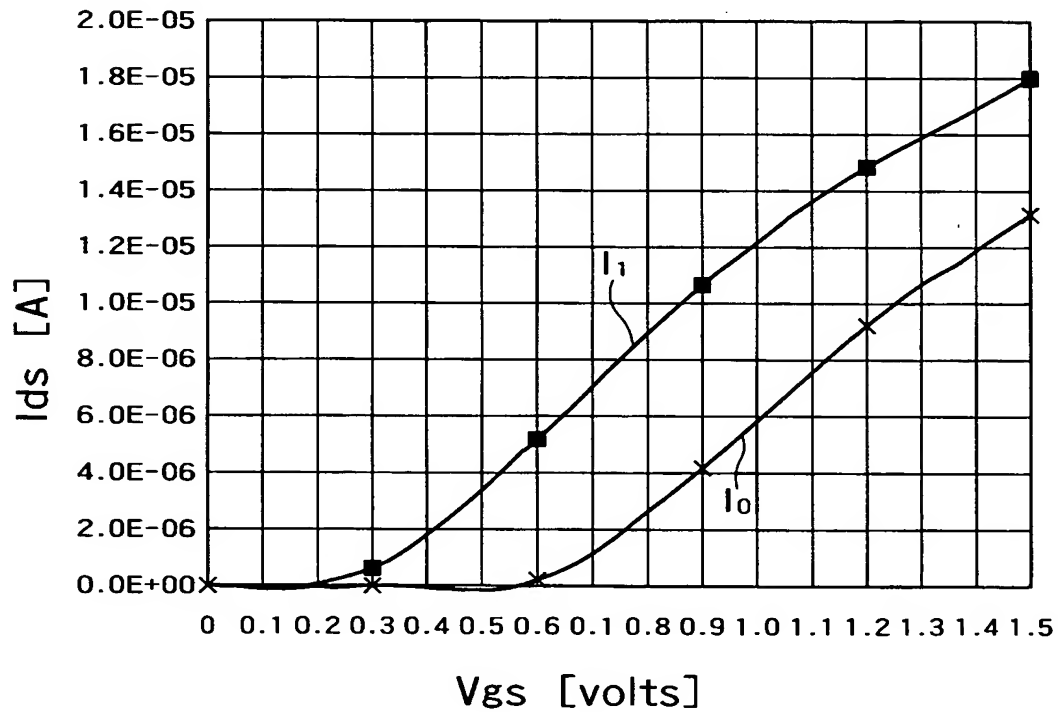


100

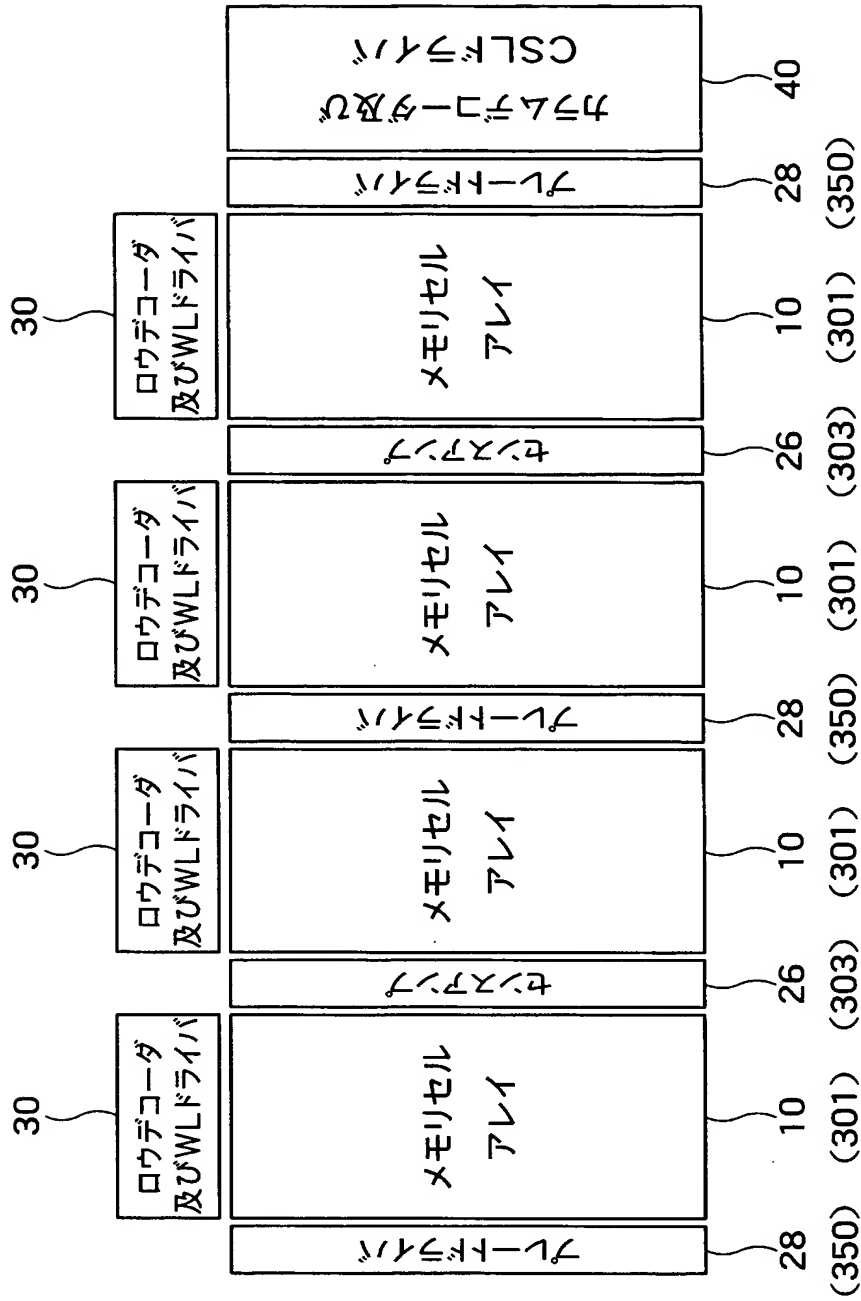
【図 5】



【図 6】

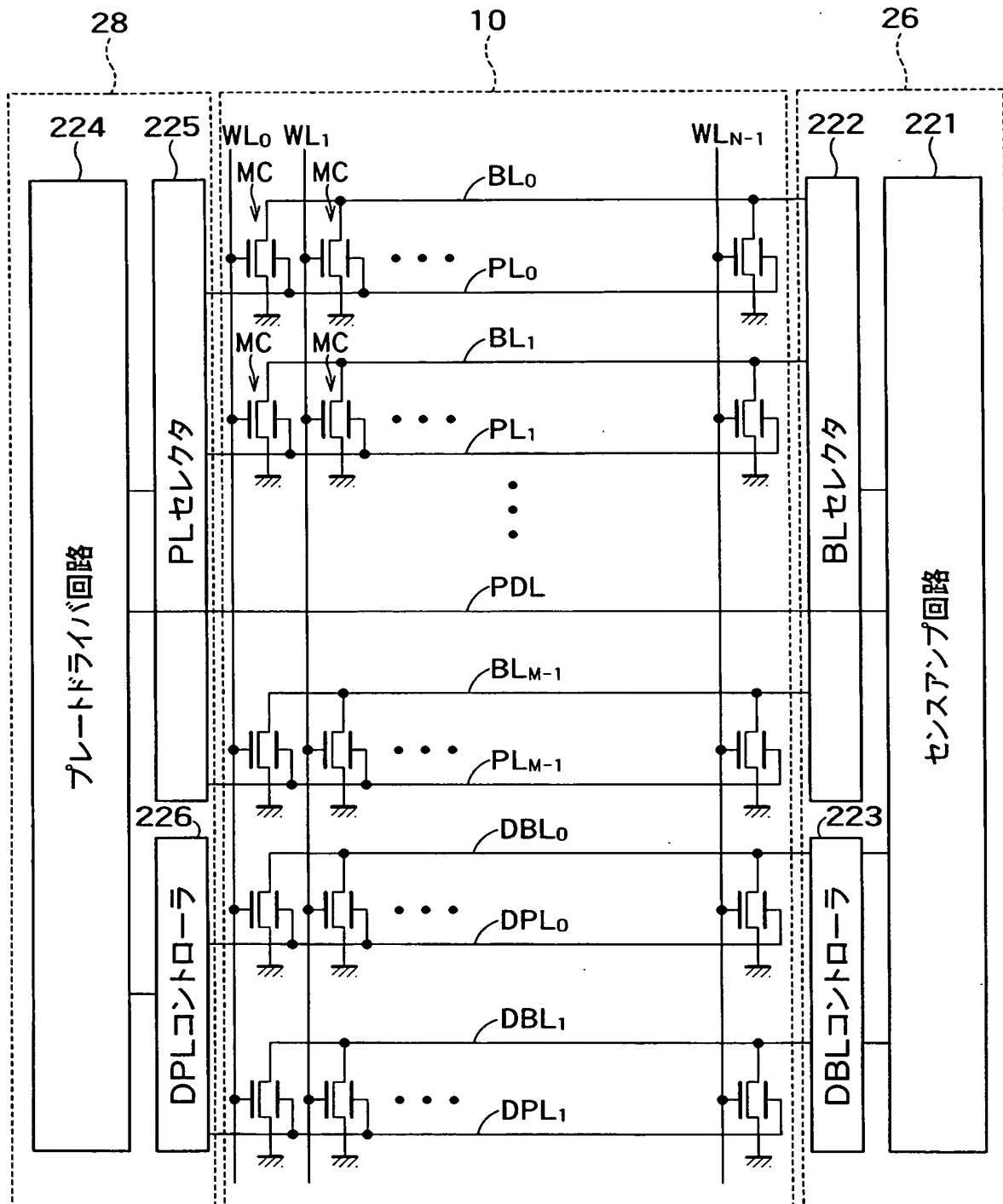


【図 7】

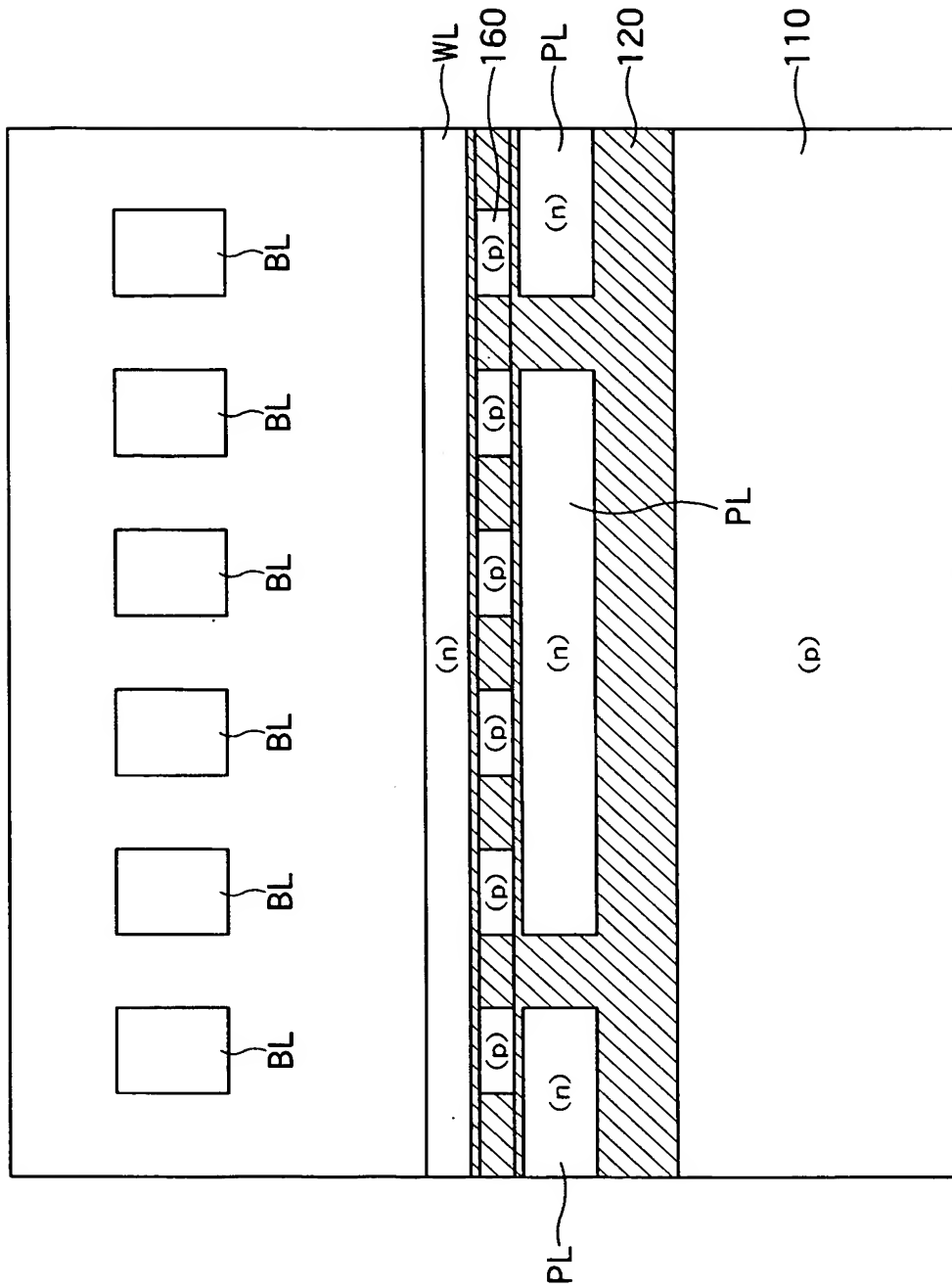


200

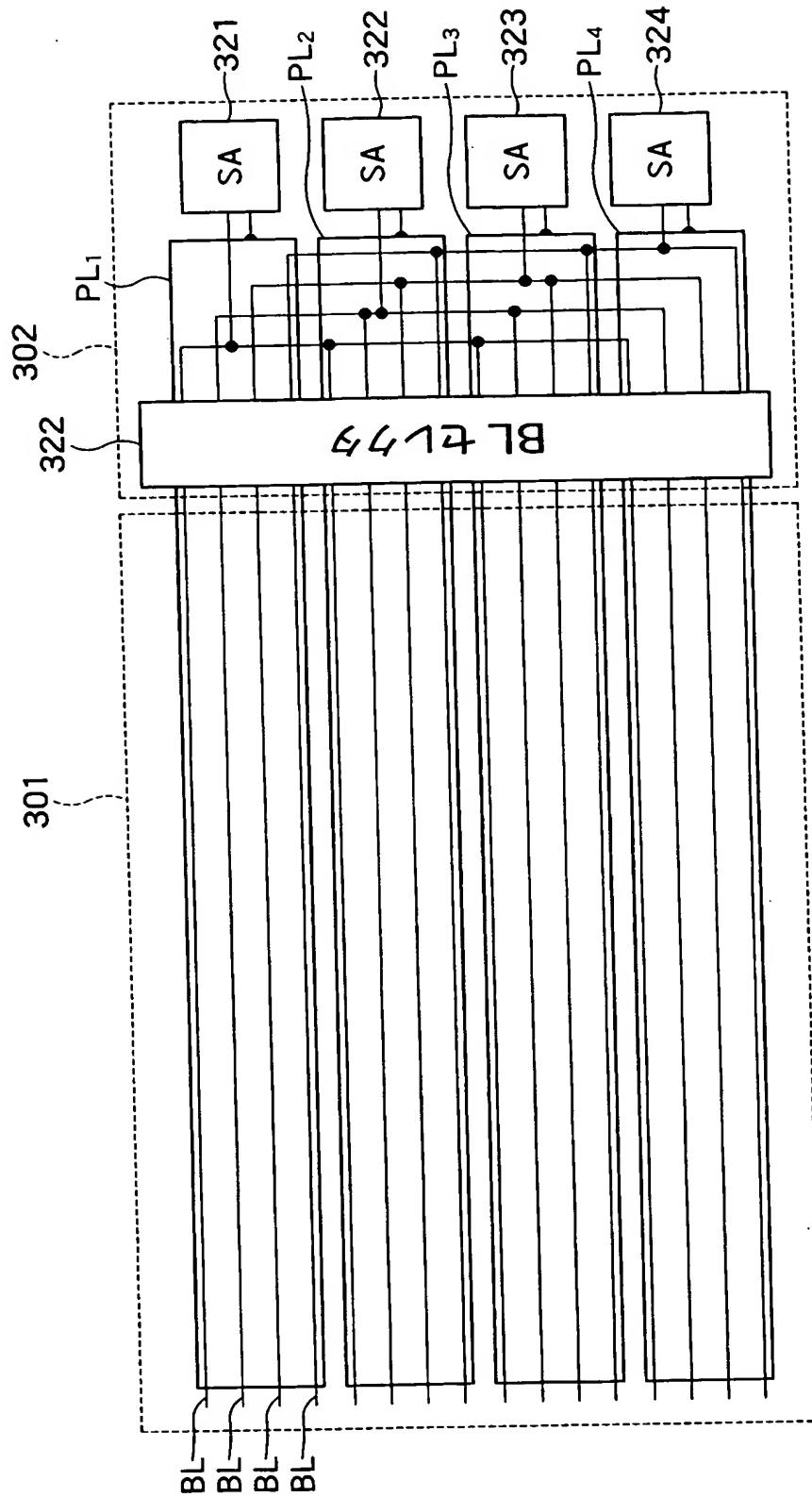
【図 8】



【图 9】

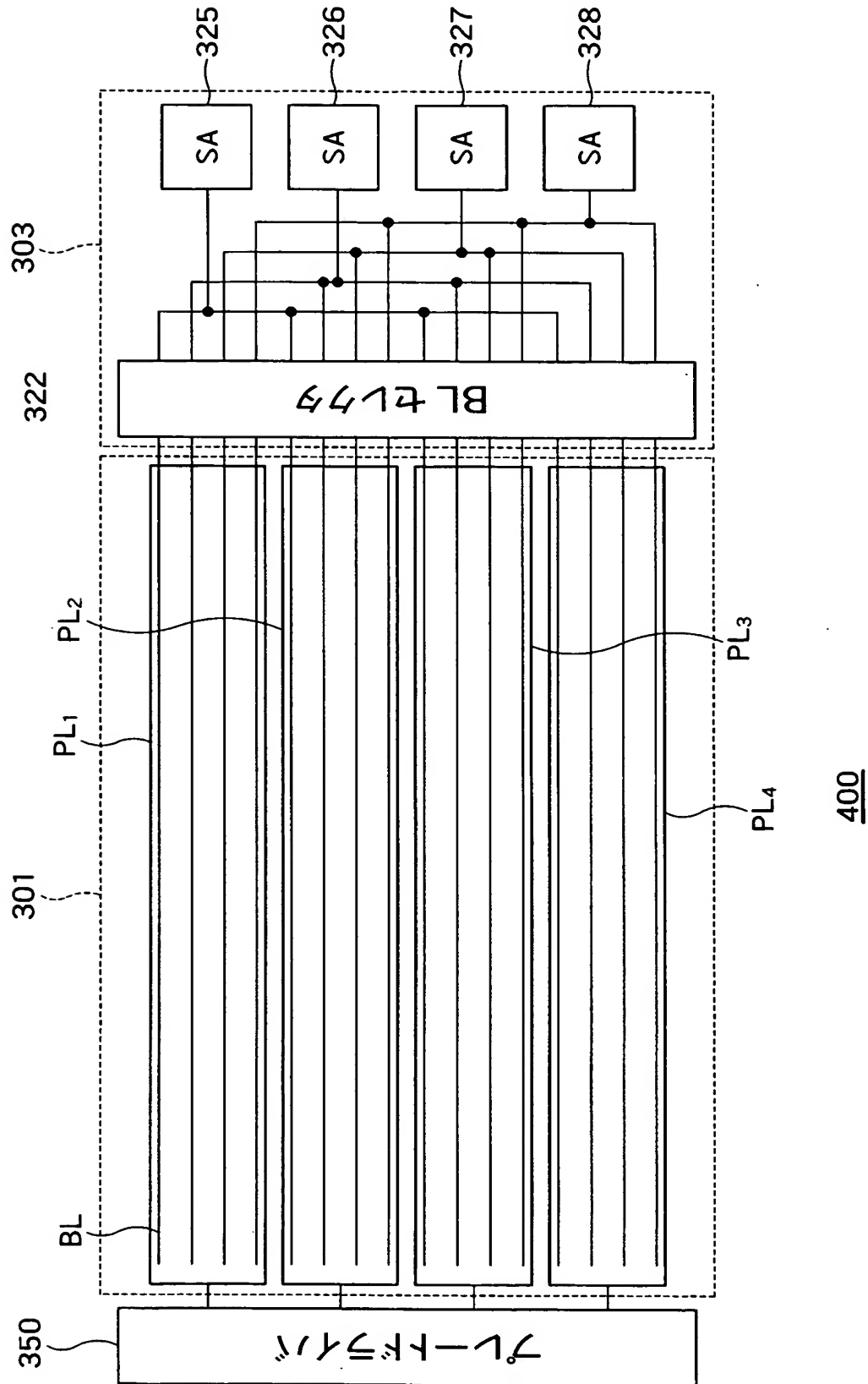


【図 10】

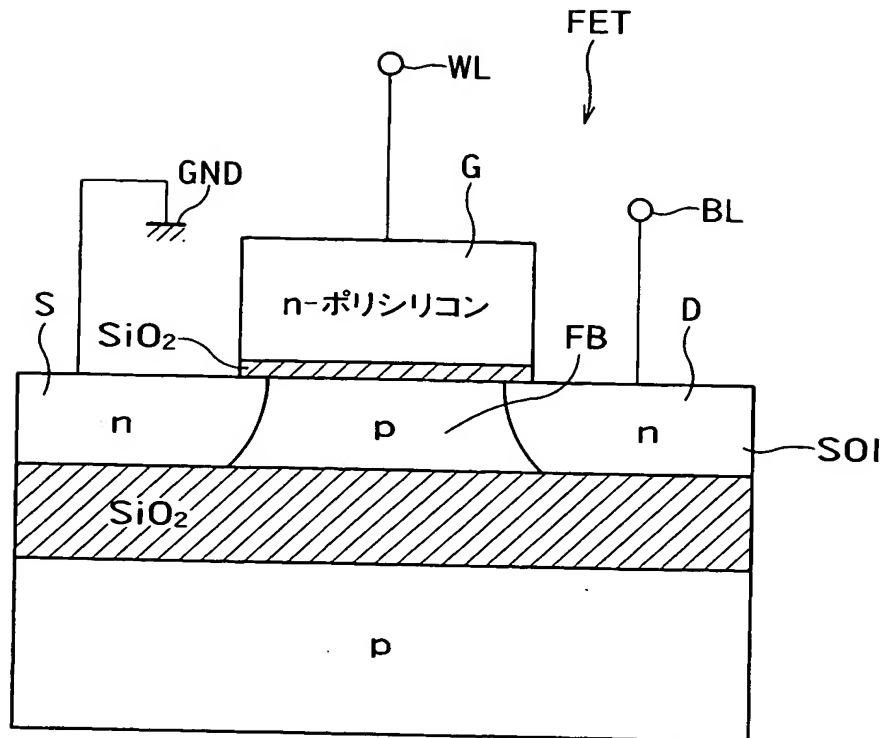


300

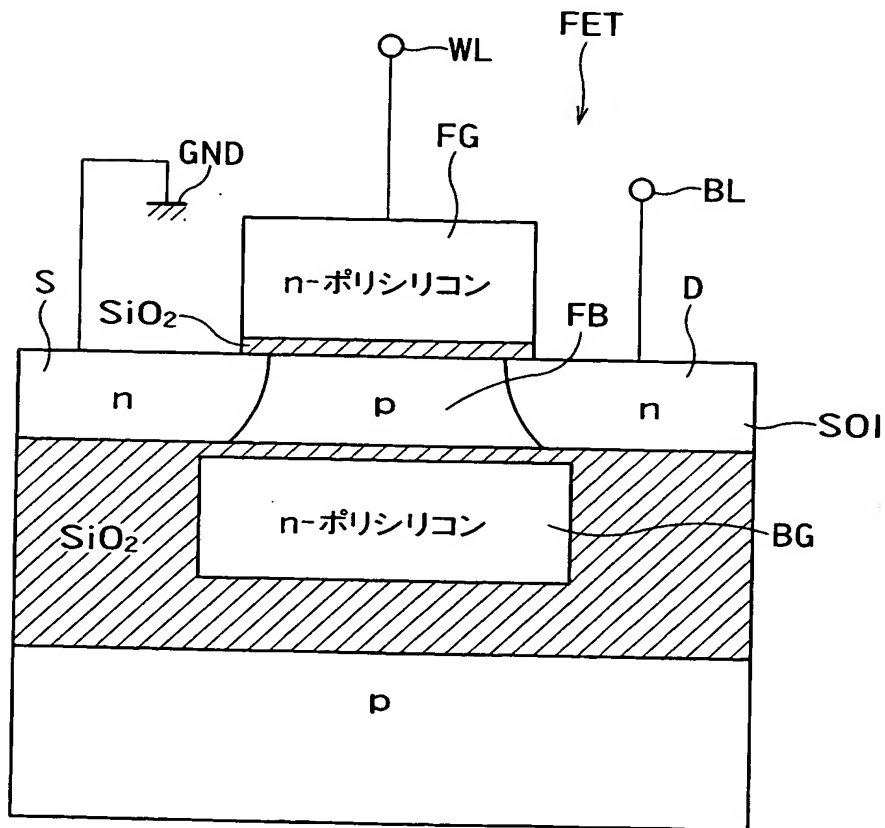
【図 11】



【図 12】



【図 13】



【書類名】 要約書**【要約】**

【課題】 G I D L による影響を回避し、書込みサイクル時間が短くかつチップサイズが小さい半導体集積回路装置を提供する。

【解決手段】 半導体集積回路装置 1 0 0 は、半導体基板 1 1 0 と、半導体基板上に形成された絶縁層 1 2 0 と、絶縁層によって半導体基板から絶縁された半導体層 1 3 0 と、半導体層に形成されたソース領域 1 5 0 およびドレイン領域 1 4 0 と、半導体層のうちソース領域とドレイン領域との間に設けられ、電荷を蓄積または放出することによってデータを記憶することができるボディ領域 1 6 0 と、ボディ領域上に該ボディ領域から絶縁されるように設けられ、第 1 の方向へ延在するワード線 W L と、ドレイン領域に接続され、第 1 の方向とは異なる方向に延在するビット線 B L と、半導体基板および半導体層から絶縁されているように絶縁層 1 2 0 内に設けられ、ビット線に対して平行に延在する埋め込み配線 P L とを備えている。

【選択図】 図 2

特願 2 0 0 3 - 3 7 0 6 9 6

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 3 0 7 8]

1. 変更年月日

2 0 0 1 年 7 月 2 日

[変更理由]

住所変更

住 所

東京都港区芝浦一丁目 1 番 1 号

氏 名

株式会社東芝